

1991-104254 JAPIO  
TI SIMULATION OF SEMICONDUCTOR COMPONENT  
IN OMURA ICHIRO; NAKAGAWA AKIO  
PA TOSHIBA CORP, JP (CO 000307)  
PI JP 03104254 A 19910501 Heisei  
AI JP1989-242826 (JP01242826 Heisei) 19890919  
SO PATENT ABSTRACTS OF JAPAN, Unexamined Applications, Section: E, Sect. No.  
1094, Vol. 15, No. 295, P. 16 (19910726)  
IC ICM (5) H01L021-66  
ICS (5) G01R031-26  
AB PURPOSE: To obtain easily leak current by calculating leak current based on the adoption of a secondary curved feature at a col point of potentiality distribution and the potentiality at the col point.  
CONSTITUTION: To process the simulation for leak current calculation, a col point of potentiality is obtained from the potentiality distribution in a semiconductor element. Then, characteristic values, positive or negative, for Hesse matrix at a col point is determined. The equation of leak current represented by the bias condition of an element provided by the determined positive or negative characteristic value of Hesse matrix is solved by numerical calculation and the calculation result is output. When determining leak current from the potentiality distribution in the semiconductor element, it is not necessary to consider the flowing direction of current. Therefore, even if the current is slanting to the direction of mesh required for digitizing or even if the flowing direction of current is unknown when carrying out numerical operation, it is possible to calculate leak current easily and accurately.

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 平3-104254

⑫ Int. Cl. 5  
 H 01 L 21/66  
 G 01 R 31/26  
 H 01 L 21/66

識別記号 H 7013-5F  
 Z 8203-2G  
 Z 7013-5F

⑬ 公開 平成3年(1991)5月1日

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 半導体素子のシミュレーション方法

⑮ 特 願 平1-242826  
 ⑯ 出 願 平1(1989)9月19日

⑰ 発明者 大村 一郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰ 発明者 中川 明夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑰ 代理人 弁理士 鈴江 武彦 外3名

明細書

1. 発明の名称

半導体素子のシミュレーション方法

2. 特許請求の範囲

(1) 半導体素子内部の電位分布からシミュレーションによりリーク電流を求めるに際し、電位分布の該部点での電位分布の二次曲面的特徴および該部点での電位を用いて数値計算を行うことを特徴とする半導体素子のシミュレーション方法。

(2) 半導体素子内部の電位分布からシミュレーションによりリーク電流を求める方法であって、電位分布の該部点を見つけてそこでの電位を求めるステップと、

前記該部点での電位のヘッセ行列の正および負の固有値を求めるステップと、

求められた固有値と該部点での電位および素子のバイアス条件を用いてパンチスルーホールを計算するステップと、

を有することを特徴とする半導体素子のシミュレーション方法。

(3) n-p-n構造でのリーク電流の計算は、一方のn型領域の電位をV1、他方のn型領域の電位をV2( $V2 > V1$ )、該部点での電位を $\phi_{SP}$ 、ヘッセ行列の正、負の固有値を $\lambda_+$ 、 $\lambda_-$ として、リーク電流 $I_n$ を下記の近似式により計算することを特徴とする請求項2記載の半導体素子のシミュレーション方法。

記

$$I_n = -qD_n n_+ (-\lambda_+ / \lambda_-)^{1/2} \cdot \exp \left\{ \frac{q}{kT} (\phi_{SP} - V_1) \right\} \times [1 - \exp \left\{ -\frac{q}{kT} (V_2 - V_1) \right\}]$$

但し、qは素電荷、D<sub>n</sub>は電子の拡散係数、n<sub>+</sub>は真性半導体のキャリア密度、kはボルツマン定数、Tは絶対温度である。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、半導体素子のリーク電流を数値計算により求めるためのシミュレーション方法に関する

する。

(従来の技術)

従来、半導体素子内の電位分布からバンチスルーポルトを求める方法として、J. A. Greenfield 等により提案されたものがある (J. A. Greenfield et al., IEEE Trans. Electron Device, ED-27, p1520(1980))。キャリアが電子の場合を示すと、用いる近似式は次の通りである。

$$I_n = -qD_n n_i \frac{Z^*}{L^*} \exp\left(-\frac{q}{kT}(\phi_{sp} - V_1)\right) \times \left[1 - \exp\left(-\frac{q}{kT}(V_2 - V_1)\right)\right]$$

ここで、 $q$  は素電荷、 $D_n$  は電子の拡散係数、 $n_i$  は真性半導体のキャリア密度、 $k$  はボルツマン定数、 $T$  は絶対温度、 $\phi_{sp}$  は鞍部点の電位、 $V_1$ 、 $V_2$  はバンチスルーポルトに関する電極の電位 (即ち  $n$  p n 構造の各  $n$  型領域の電位であり、 $V_2 > V_1$ ) である。また  $E$  軸を電流の流れる方向、 $\eta$  軸をこれと直交する方向として、

と近似し、 $g(\eta)$  は、

$$g(\eta) = -\frac{B_1}{2}\eta^2, \quad \eta \leq 0$$

$$g(\eta) = -\frac{B_2}{2}\eta^2, \quad \eta \geq 0$$

と近似する。これにより、 $L^*$ 、 $Z^*$  は、

$$L^* = \Delta L_1 + L_1 + L_2 + \Delta L_2$$

$$\Delta L_1 \sim (\pi kT / 2qA_1)^{1/2}$$

$$\Delta L_2 \sim (\pi kT / 2qA_2)^{1/2}$$

$$Z^* = \Delta Z_1 + \Delta Z_2$$

$$\Delta Z_1 = (\pi kT / 2qB_1)^{1/2}$$

$$\Delta Z_2 = (\pi kT / 2qB_2)^{1/2}$$

と簡単に表すことができる。

ところが以上に述べた従来の方法では、電流の方向が数値計算を行う場合に用いるメッシュの方向と一致する場合には計算できるが、電流がメッシュに対して斜め方向に流れる場合や、三角形メッシュの場合、また予め電流の流れる方向が分かっていない場合には、上述の  $L^*$ 、 $Z^*$  の計算が著しく困難になる。実際これまで、上述のような

$$\phi(E, \eta) = \phi_{sp} + h(E, \eta)$$

としたとき、 $Z^* / L^*$  は、

$$Z^* / L^* = \left( \int_{-L_1}^{L_2} \left( \int_{-L_1}^{L_2} \exp\left(-\frac{q}{kT}h(E, \eta)\right) d\eta \right)^{-1} dE \right)^{-1}$$

で表される。いま、 $h(E, \eta)$  を

$$h(E, \eta) = f(E) + g(\eta)$$

と近似すると、

$$L^* = \int_{-L_1}^{L_2} \exp\left(-\frac{q}{kT}f(E)\right) dE$$

$$Z^* = \int_{-L_1}^{L_2} \exp\left(-\frac{q}{kT}g(\eta)\right) d\eta$$

となる。

ただし、積分は  $f(E)$ 、 $g(\eta)$  が小さい範囲で行えれば十分である。そこで例えば、 $f(E)$  は、第10図に示すように、

$$f(E) = \frac{A_1}{2}(E + L_1)^2, \quad E \leq -L_1$$

$$f(E) = 0, \quad -L_1 \leq E \leq L_2$$

$$f(E) = \frac{A_2}{2}(E - L_2)^2, \quad E \geq L_2$$

従来法でこの様な計算が行われた例は報告されていない。

(発明が解決しようとする課題)

以上のように従来のバンチスルーポルトを求めるシミュレーション法では、電流の方向がメッシュの方向と一致していないと計算が著しく困難になる、という問題があった。

本発明はこの様な問題を解決して、電流の方向とメッシュとの関係がどの様な場合であっても、容易にリーク電流を求めることができるようした半導体素子のシミュレーション方法を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明は、半導体素子内部の電位分布からリーク電流を求めるに際して、電位分布の鞍部点での二次曲面的特徴とその鞍部点の電位とを用いてリーク電流を計算することを特徴とする。

(作用)

本発明によれば、リーク電流の流れる方向を

考慮することなしに、リーク電流を求めることができる。従って電流が数値計算を行う場合に用いられるメッシュの方向に対して斜めに流れる場合や、三角形メッシュの場合、或いは予め電流の流れる方向が分かっていない場合でも、容易にリーク電流を計算することができる。

#### (実施例)

以下、本発明の実施例を説明する。

第1図は、本発明によるリーク電流計算のシミュレーションの処理の流れ図である。まず半導体素子内部の電位分布から電位の鞍部点を求める(S1)。その具体的な方法は、後に詳述する。次に鞍部点でのヘッセ行列の正、負の固有値を求める(S2)。こうして求められたヘッセ行列の正、負の固有値と、鞍部点の電位、および与えられた素子のバイアス条件により表されるリーク電流の式を数値計算により解く(S3)。求まった計算結果を出力する(S4)。

より具体的にまず、電位分布の鞍部点の見つけ方について説明する。空間的に離散化された点の

印は、この閉じた領域内の電位の最大値  $\alpha$  より高い電位の2点、二つの下を向いた矢印は同じくこの閉じた領域内の電位の最小値  $\beta$  より低い電位の2点であって、これらが領域を閉じる線分上で交互に位置するようになって場合には、必ずその領域内部に電位の鞍部があることになる。

こうして電位分布の鞍部点が見付かったら、これを元に次に鞍部点でのヘッセ行列の正、負の固有値を求める。即ち素子内部の電位分布  $\phi(x, y)$  を鞍部点 P の回りでテーラー展開すると、鞍部点の電位を  $\phi_{SP}$  として、

$$\phi(x, y) = \phi_{SP} + (x, y) \operatorname{Hess} \phi(P) \begin{pmatrix} x \\ y \end{pmatrix} + \dots$$

となる。したがって、

$$h(x, y) \sim (x, y) \operatorname{Hess} \phi(P) \begin{pmatrix} x \\ y \end{pmatrix}$$

となる。いまヘッセ行列  $\operatorname{Hess} \phi(P)$  の正の固有値を  $\lambda_+$ 、負の固有値を  $\lambda_-$  とし、これらの固有値  $\lambda_+, \lambda_-$  にそれぞれ属する固有ベクトルを  $v_+, v_-$  とする。このとき、 $v_+$  と  $v_-$  とは互

上で定義された電位分布が与えられた時、離散化された点のうち幾つかをつなげた、閉じた区分的な線分を考える。そして閉じた区分的な線分により囲まれた領域内の格子点での電位の最大値を  $\alpha$ 、最小値を  $\beta$  とする。ただし囲まれた点には、区分する線分上の点を含まないものとする。第2図(a) ~ (d) は、そのような区分的な線分(太線)とこれにより囲まれた点(▲)の例を示す。

そして上述した閉じた区分的な線分上の点のうち、電位が  $\alpha$  より大きい値を持つ点が二つ以上あり、  $\beta$  より小さい値を持つ点が二つ以上あって、それぞれから二つずつ適当に選んだときに、それらの二つずつの大きい値と小さい値が互いに分け合うような位置関係にある場合に、その閉じた区分的な線分に囲まれた領域内に電位の鞍部点があると判断する。第3図は、そのような電位分布関係の例を分かり易く示している。図は、 $x - y$  平面で任意の格子点をつないで閉じた領域を作る線分と、それらの格子点での電位分布  $\phi$  を三次元的に示している。電位分布上で二つの上を向いた矢

いに直交し、鞍部点 P の近傍での電位  $\phi$  の分布形状と  $v_+, v_-$  の関係は、第4図(a) ~ (c) のようになる。つまり、A - A' 方向に鞍部点 P の両側に電位の谷があってこの方向が固有ベクトル  $v_-$  の方向となり、B - B' 方向に鞍部点 P の両側に電位の山があってこの方向が固有ベクトル  $v_+$  の方向となる。

そこで、電流(今の場合電子電流)は  $v_+$  方向に流れるから、座標を  $v_+$  方向と  $v_-$  方向とで表すように等長的に変換すると、 $h(x, y)$  は新しい座標  $E, \eta$  を用いて、

$$h(E, \eta) \sim \lambda_+ \cdot E^2 + \lambda_- \cdot \eta^2$$

と表され、

$$Z^+ / L^+ \sim (-\lambda_+ / \lambda_-)^{1/2}$$

となる。これを用いて求めるリーク電流は、対象領域の  $n_p n$  構造の二つの  $n$  型領域の電位をそれぞれ  $V_1, V_2$  ( $V_2 > V_1$ ) として、

$$I_a = -q D_n (-\lambda_+ / \lambda_-)^{1/2} \cdot \exp \left( \frac{q}{kT} (\phi_{SP} - V_1) \right) \times [1 - \exp \left( -\frac{q}{kT} (V_2 - V_1) \right)]$$

となる。この式を右辺の値を数値計算により求めることにより、正確にリーク電流が求まる。

なお以上では、リーク電流が電子電流の場合を説明したが、リーク電流が正孔電流である場合にも、符号を考慮して同様の近似式を用いることができる。

次に実施例によりパンチスルーホール電流を求めた具体的なデータを説明する。

第5図は、シミュレーション対象の素子構造断面である。図のようにn型領域1、p型領域2およびn型領域3によりn-p-n構造を構成している。第6図は、この様な素子領域空間の電位を離散化するために用いたメッシュの例である。メッシュは、p-n接合を含む領域および鞍部点（第5図に×印で示す）を含む領域で他の領域よりも細かくしている。また第7図は第5図の素子構造断面での電位分布と鞍部点の様子を示している。

第8図は、この様な素子構造について求めたパンチスルーホール電流のn型領域1の電極電位（V2）依存性を厳密解と比較して示したものである。厳

密解は、素子内全体で電流-連続式を解いた結果であり、図中○で示し、実施例による電流値は×で示している。n型領域3およびp型領域2の電極電位V1およびV3は、共に0Vとしている。

第9図は、V1=0V、V3=-1Vとした場合について、同様にパンチスルーホール電流の電位V2依存性を求めた結果を、実施例と厳密解を比較して示している。

以上の結果から明らかのように、電流がメッシュに對して斜め方向になっている場合であっても、この実施例によれば簡単にかつ精度よくパンチスルーホール電流を求めることができる。

#### 【発明の効果】

以上述べたように本発明の方法によれば、半導体素子の内部の電位分布からリーク電流を求める際に、電流の流れる方向を考慮する必要がないので、電流が、数値計算を行う場合に用いる離散化のためのメッシュの方向に對して斜め方向である場合や三角形メッシュの場合、また電流の流れる方向が予め分かっていない場合であっても、容易

にかつ正確にリーク電流を計算することができる。

#### 4. 図面の簡単な説明

第1図は本発明による数値計算の基本的アルゴリズムを示す図、

第2図(a)～(d)は本発明により鞍部点を見付ける方法を説明するための図、

第3図は鞍部点を含む領域の電位分布状態を説明するための図、

第4図(a)～(c)は鞍部点を含む領域の電位分布と、本発明で用いるヘッセ行列の固有値およびそれに属する固有ベクトルの関係を説明するための図、

第5図は実施例に用いた具体的な素子の断面構造を示す図、

第6図はこの素子領域の電位を離散化する際に用いたメッシュを示す図、

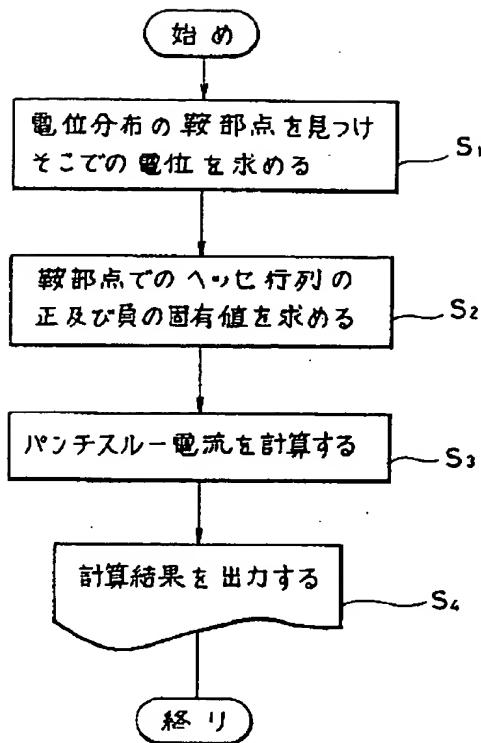
第7図は同じくこの素子構造断面の電位分布とその鞍部点の様子を示す図、

第8図はこの素子について実施例により求めたパンチスルーホール電流を厳密解と比較して示す図、

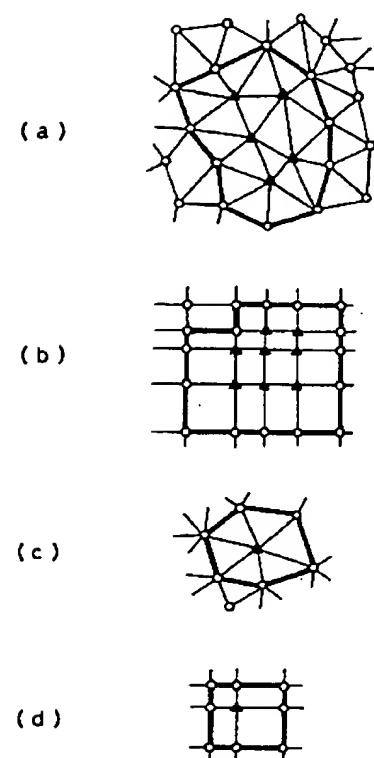
第9図は他のバイアス条件の場合に同じく実施例により求めたパンチスルーホール電流を厳密解と比較して示す図、

第10図は従来技術におけるL\*の求め方を説明するための図である。

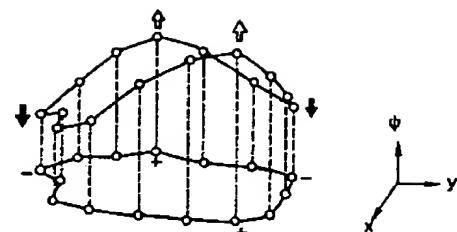
出願人代理人弁理士鈴江武彦



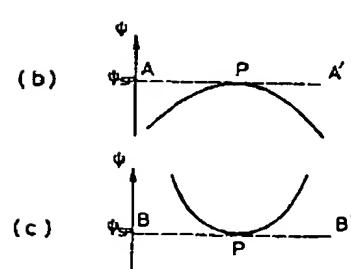
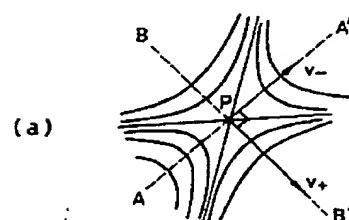
第 1 図



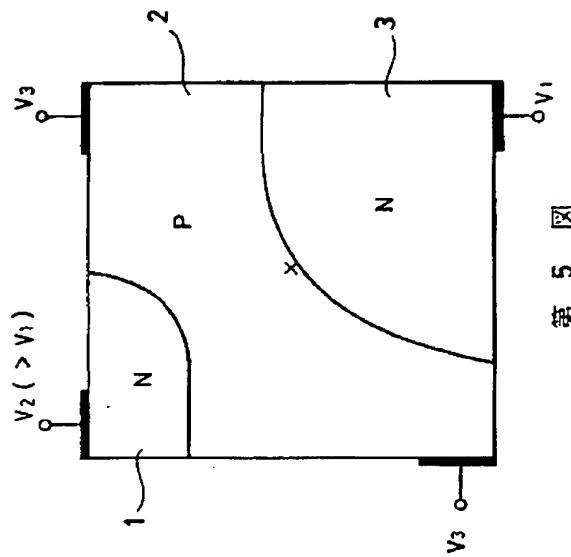
第 2 図



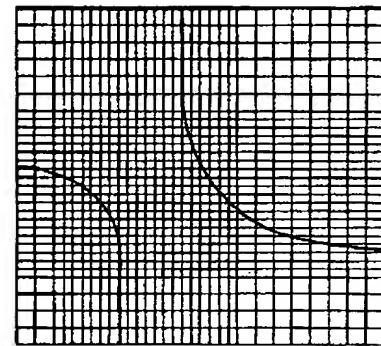
第 3 図



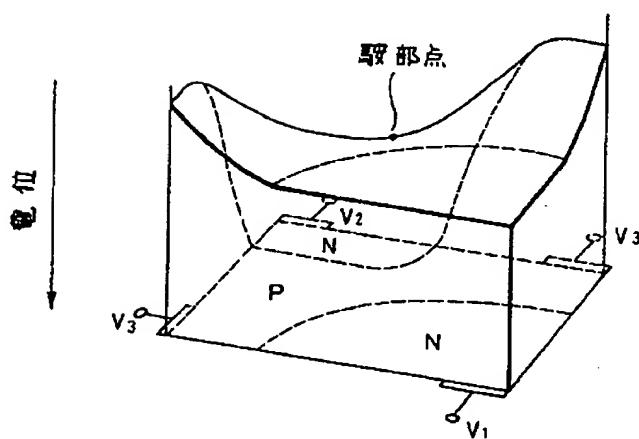
第 4 図



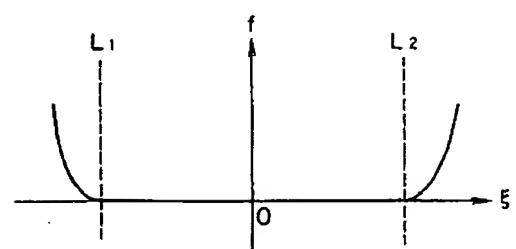
第 5 図



第 6 図

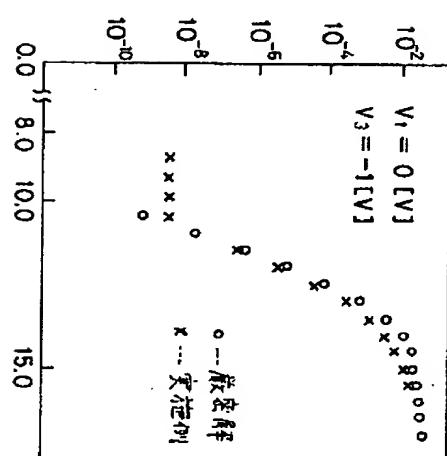


第 7 図

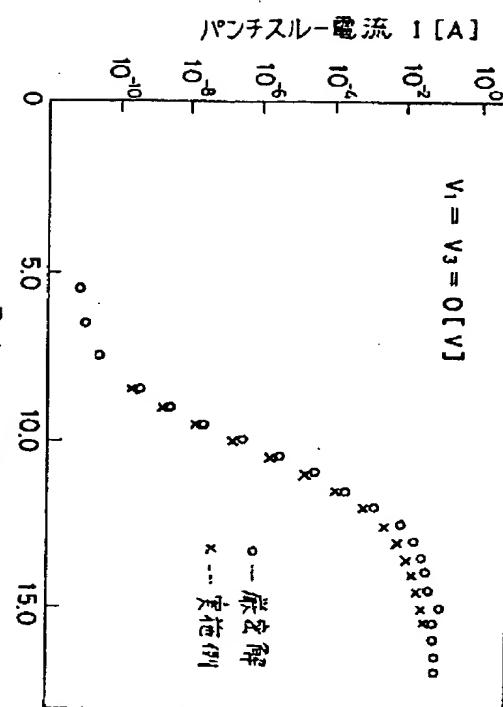


第 10 図

パンチスル-電流 I [A]



第 9 図



第 8 図